

# PATENT ABSTRACTS OF JAPAN

AD

(11)Publication number : 10-233183  
(43)Date of publication of application : 02.09.1998

(51)Int.Cl.

H01J 31/12  
G09F 9/30  
G09F 9/30  
H01J 9/02

(21)Application number : 09-032274

(71)Applicant : TOPPAN PRINTING CO LTD

(22)Date of filing : 17.02.1997

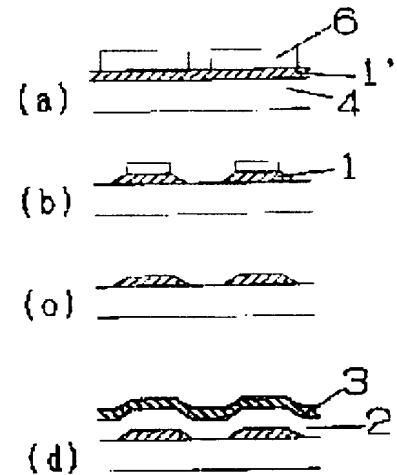
(72)Inventor : ISHIZAKI MAMORU  
KAI TERUHIKO  
SEN YOSHINORI

## (54) COLD ELECTRON EMISSION ELEMENT MATRIX AND ITS MANUFACTURE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve the withstand current property of a gate wire by obliquely inclining the side face of an emitter wire, suppressing electron emission from the emitter wire so as to prevent the erroneous operation or the insulation fracture of a flat panel display and suppressing the formation of space easily produced in an insulating layer.

**SOLUTION:** A Cr film 1' is formed on a glass board 4 by sputtering, deposition or the like, and a striped emitter forming resist 6 is formed thereon by photolithography. Then, the Cr film 1' and the resist 6 are subjected to etching by plasma etching using Cl<sub>2</sub> gas and O<sub>2</sub>, and tapered emitter wiring 1 is formed. Then, the resist 6 is eliminated and when SiO<sub>x</sub> and Cr are deposited to have specified film thickness on the emitter wiring 1, a good film similar to that of a horizontal part is also formed in the tapered part. By forming the sectional shape of the emitter wiring 1 to be tapered, electron emission from the emitter wiring 1 is suppressed and an erroneous operation or short-circuiting is prevented.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-233183

(43)公開日 平成10年(1998)9月2日

(51) Int.Cl. <sup>6</sup>	識別記号	F I
H 01 J 31/12		H 01 J 31/12
G 09 F 9/30	3 4 3	G 09 F 9/30
	3 4 8	3 4 3 E
H 01 J 9/02		3 4 8 A
		H 01 J 9/02
		B

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21)出願番号 特願平9-32274

(22)出願日 平成9年(1997)2月17日

(71)出願人 000003193

凸版印刷株式会社

東京都台東区台東1丁目5番1号

(72)発明者 石▼崎▲ 守

東京都台東区台東1丁目5番1号 凸版印刷株式会社内

(72)発明者 甲斐 輝彦

東京都台東区台東1丁目5番1号 凸版印刷株式会社内

(72)発明者 銀 錠範

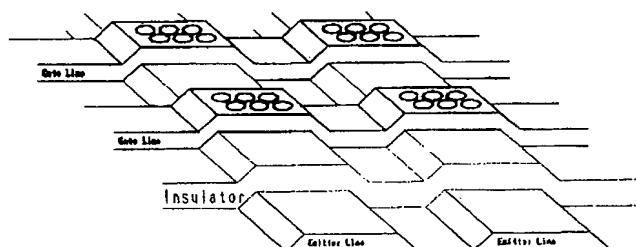
東京都台東区台東1丁目5番1号 凸版印刷株式会社内

(54)【発明の名称】 冷電子放出素子マトリクス及びその製造方法

(57)【要約】

【課題】エミッタ配線からの電子放出を抑えてフラットパネルディスプレイの誤動作や絶縁破壊を回避し、かつ、絶縁層に生じがちであったすき間の形成を抑え、ゲート配線の耐電流性が向上された冷電子放出素子マトリクス及びその製造方法を提供する。

【解決手段】エミッタ近傍にゲートを設け、エミッタとゲートとの間に電圧を印加することで生ずる電界により、エミッタから冷電子を放出させる冷電子放出素子を、エミッタに給電するエミッタ配線とゲートに給電するゲート配線との交差部分に形成したマトリクス構造であって、特にエミッタ配線の側面が斜めであることを特徴とする冷電子放出素子マトリクスで、エミッタ配線はドライエッチング法を用いて加工する。



## 【特許請求の範囲】

【請求項1】エミッタ近傍にゲートを設け、該エミッタとゲートとの間に電圧を印加することで生ずる電界により、該エミッタから冷電子を放出させる冷電子放出素子を、

前記エミッタに給電するエミッタ配線と前記ゲートに給電するゲート配線との交差部分に形成したマトリクス構造であつて、

前記エミッタ配線の側面が斜めに傾斜していることを特徴とする冷電子放出素子マトリクス。

【請求項2】前記エミッタ配線を加工するのにドライエッチング法を用いることを特徴とする請求項1に記載の冷電子放出素子マトリクスの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、電界放出により冷電子を放出するいわゆる冷電子放出素子をフラットパネルディスプレイ型の画像表示装置等の電子源として用いるのに好適な冷電子放出素子マトリクスおよびその製造方法に関する。

## 【0002】

【従来の技術】通常の状態において物体表面から外へ電子を取り出すためには、その物体表面の仕事関数に相当するエネルギーを与えてやる必要がある。これは、仕事関数分のエネルギー障壁が存在するためである。

【0003】物体表面にエネルギーを与えるために、よく知られている例では、物体表面をある程度以上の高温に加熱する。この熱により運動エネルギーが増大された電子は前記のエネルギー障壁を越えて物体表面から外へと飛び出す。これが、いわゆる熱電子放出と称されるものであり、そして放出された電子は熱電子と称されている。また、この電子を放出する陰極を熱陰極と称している。

【0004】ところが、前記のように高温に加熱しなくとも、物体表面に対して電界をかけると前記のエネルギー障壁の幅が電界に応じて次第に狭くなり、特に電界強度が約 $10^7$  V/cm以上の強電界であれば、電子はいわゆるトンネル効果によって前記のエネルギー障壁を突破して物体表面から外へ放出される。

【0005】これが、いわゆる電界放出又は強電界放出と称されているものであり、放出された電子は電界放出電子又は強電界放出電子と称されている。また、この電子と陰極のことを、前記の熱電子と熱陰極に対して、それぞれ冷電子と冷陰極と称することもある。

【0006】この電界放出現象は、前記のような熱電子放出とは原理が異なるものであり、工業的応用を検討した場合には、その原理の違いに起因した数々の優れた特長を有していることが知られている。

【0007】まず、電場はポアソンの方程式に支配されているため、突起があるとその先端に電界が集中する。

すなわち、突起形状を用いれば比較的低電圧で電界放出を起こすことができ、これを電子源として利用することができる。

【0008】そして、電界放出現象を利用した電子源としての冷電子放出素子には、一例として、図7に示すものがある。この素子はディスクエッジ形エミッタと呼ばれ、エミッタが円板形状をしており、その上側エッジを囲むようにゲート電極が形成されている。エミッタ・ゲート間に電圧を印加することにより、エミッタエッジに電界が集中し、電子を放出する。

【0009】冷電子放出素子をフラットパネルディスプレイとして用いる場合には、複数個の素子をアレイにして1画素とし、それを複数のエミッタ配線と複数のゲート配線の各交差部分に配置したマトリクス構造が一般に使用される。対応するゲート配線とエミッタ配線の電位差で各アレイの放出電流が制御され、その電子が対向基板に形成された蛍光体を励起し、各画素の輝度が決まる。

【0010】冷電子放出素子には、しきい値電圧が存在し、例えば数十V程度までは電子放出が起こらず、それを越えると電圧で決まる電子電流が流れる。この特性を利用して、マトリクスでは1つのゲート配線のみに一定の選択電位を印加し、そのゲート配線に属する画素の輝度を与えるように制御したエミッタ電位を各エミッタ配線に印加する。他のゲート配線に属する画素では、選択電位分だけ電位差が小さいことにより、電位差がしきい値以下になって発光が抑制される。ゲート配線の選択電位を走査することにより、全体の画像表示を行うことができる。

【0011】各エミッタ配線や各ゲート配線が電気的に絶縁分離されていることは言うまでもない。通常は、ガラス等の絶縁基板上にストライプ状のエミッタ配線を形成し、絶縁層を介して、エミッタ配線と交差するようにストライプ状のゲート配線が形成される。

【0012】しかしながら、従来の技術によると次のような現象が生じ易い。例えば、スペッタリング法や蒸着法等によって形成した膜は、柱状の構造を持つことが知られている。厚さ $0.1 \sim 0.2 \mu\text{m}$ 程度の膜をウェットエッティングで加工すると、この柱状構造の影響で膜の断面はほぼ矩形になる(図5(c))。そして上エッジは尖っている。

【0013】その上に絶縁層およびゲート配線を形成するとき、エミッタ配線の膜厚分の段差に起因して、基板上とエミッタ配線上の成膜にずれが生じ、界面にはすき間ができるやすい。また、段差の上部と下部を結ぶ部分では膜厚が小さくなる。(図5(d))。

【0014】エミッタ配線とゲート配線の間にエミッタ側が負となるように電圧を印加すると、エミッタ配線の上エッジが尖っていることと絶縁層にすき間があいていることに起因して、上エッジに電界が集中する。そのため

め、電子が放出され、その一部はアノードの蛍光体に到達して誤動作になり、また一部は絶縁層を破壊して短絡を引き起こす。それから、ゲート配線については、膜厚が薄くて弱い部分が生じるため、断線を起こし易く問題になる。

#### 【0015】

【発明が解決しようとする課題】図4にも示すように、従来の製造方法によって形成される通常のエミッタ配線では断面が矩形であるといえる。つまり、けっして望まないにも関わらず、その断面形状に起因してそのエミッタ配線のエッジに電界が集中して電子が放出され、その結果、当該フラットパネルディスプレイが誤動作や絶縁破壊を起こしやすく問題があった。

【0016】それから、エミッタ配線の端部には膜厚分の急峻な段差が生じている。そのため、絶縁層やゲート配線に、段差の部分ですき間が形成されたり、弱くて断線しやすいという問題もあった。

【0017】本発明は、前記の問題点を解消するために成されたものであって、エミッタ配線からの電子放出を抑えてフラットパネルディスプレイの誤動作や絶縁破壊を回避し、かつ、絶縁層に生じがちであったすき間の形成を抑え、ゲート配線の耐電流性が向上された冷電子放出素子マトリクス及びその製造方法を提供することを目的とする。

#### 【0018】

【課題を解決するための手段】前記の目的を達成するため、本発明が提供する手段とは、まず請求項1に示すように、エミッタ近傍にゲートを設け、該エミッタとゲートとの間に電圧を印加することで生ずる電界により、該エミッタから冷電子を放出させる冷電子放出素子を、前記エミッタに給電するエミッタ配線と前記ゲートに給電するゲート配線との交差部分に形成したマトリクス構造であって、前記エミッタ配線の側面が斜めに傾斜していることを特徴とする冷電子放出素子マトリクスである。

【0019】あるいは、請求項2に示すように、請求項1に示す冷電子放出素子マトリクスの製造方法であつて、前記エミッタ配線を加工するのにドライエッチング法を用いることを特徴とする製造方法である。

#### 【0020】

【発明の実施の形態】そこで、本発明が提供するような、冷電子放出素子マトリクスでは、側面が斜めのエミッタ配線を用いる（図1）。この場合、エミッタ配線の上エッジは尖っていない。エミッタ配線の膜厚分の段差は非常になだらかなスロープに置き換えられており、基板上とエミッタ配線上の成膜は同時に進行し、すき間があくことはない。ゲート配線の膜厚もほぼ一定となる。（図2、及び図3の（d））

【0021】従って、エミッタ配線の上エッジからの電子放出が抑制され、誤動作や短絡を抑制できる。また、ゲート配線の断線も起こりにくく。

【0022】エミッタ配線の側面と基板表面のなす角をテーパー角とする（図6のθ）。従来例ではテーパー角θ=90°である。テーパー角が小さい程、本発明の効果は大きい。絶縁層やゲート配線の成膜法にもよるが、テーパー角が概略45°以下であれば、効果がある。

【0023】エミッタ配線の側面を斜めにするためには、エミッタ配線のエッチングと同時に、マスクパターンのサイドエッチングを行えばよい。テーパー角θは、大まかには、エミッタ配線のエッチングレートとマスクのサイドエッチングレートの比で決まってくる（図6）。エミッタ配線のエッチングレートに比べてマスクのサイドエッチングレートを大きくすれば、テーパー角θはより小さくなる。

【0024】そこで、本発明の製造方法によれば、ドライエッチングを用いて、実現できる。具体的には、エミッタ配線をエッチングするガスとマスクをエッチングするガスの混合比を変化させることにより、それぞれのエッチングレートを変えることができ、任意のテーパー角θを有するエミッタ配線を形成できる。例えばエミッタ配線1としてCr、マスク6としてレジストを用いた場合、エッチングガスとしてCl<sub>2</sub>とO<sub>2</sub>の混合ガスを使用できる。この時、Cl<sub>2</sub>とO<sub>2</sub>の混合比を選ぶことにより、任意のテーパー角に設定できる（図7）。

【0025】また、先にウェットエッチングでエミッタ配線の概略形成を行った後、引き続きドライエッチングでエミッタ配線側面の斜め加工を行ってもよい。

#### 【0026】

##### 【実施例】

【冷電子放出素子マトリクスの実施例】図1は、本発明に係る冷電子放出素子マトリクスの一実施例を示している。本実施例では、エミッタ配線1は、幅500μm、膜厚0.1μm、テーパー角θ=22°、そして材質はCrである。また、絶縁層2は膜厚0.6μmのSiO<sub>2</sub>、ゲート配線3は膜厚0.2μmのCrである。尚、基板4はガラスである。各交差部分には、1～約1,000個の冷電子放出素子5を形成してある。

【0027】絶縁層2やゲート配線3は、テーパー部でも水平部とほぼ同様の膜質で形成されている。

【0028】任意のゲート配線3とエミッタ配線1との間に、エミッタが負になるように電圧を印加すると、交差部分の冷電子放出素子5から電子が放出される。発明の詳細な説明に記述したマトリクス駆動法により、各画素を任意の輝度で表示でき、誤動作は見られなかった。

【0029】【実施例の冷電子放出素子マトリクスの製造方法】図1に示す冷電子放出素子マトリクスを製造するための製造方法に関わる一実施例を図2に模式的に示す。まず、ガラス基板4上に、スパッタリングまたは蒸着等の方法により、Cr膜1'を厚さ0.1μmに成膜し、その上にフォトリソグラフィー法によってストライプ状のレジストパターン6を形成する。（図2（a））

次に、 $\text{Cl}_2$  ガスおよび $\text{O}_2$  を用いたプラズマエッティングによって $\text{Cr}$  膜 1' およびレジスト 6 をエッティングして、テーパー状エミッタ配線 1 を形成する。（図 2 (b)）

そして、レジスト 6 を除去する。（図 2 (c)）

【0030】テーパー状エミッタ配線 1 上に、 $\text{SiO}_x$  を膜厚 0.6  $\mu\text{m}$ 、また $\text{Cr}$  を膜厚 0.2  $\mu\text{m}$ 、にそれぞれ蒸着すると、テーパー部でも水平部同様の良好な膜が形成される。（図 2 (d)）

【0031】最後に、ゲート配線 3 を周知のフォトエッティング法で加工して、完成である。 10

【0032】〔実施例の冷電子放出素子マトリクスの別の製造方法〕図 1 に示す冷電子放出素子マトリクスを製造するための製造方法に関する別の一実施例について、図 3 に模式的に示す。まず、ガラス基板 4 上に、スパッタリングまたは蒸着等の方法により $\text{Cr}$  膜 1' を厚さ 0.1  $\mu\text{m}$  に成膜し、その上にフォトリソグラフィー法によってストライプ状のレジストパターン 6 を形成する。（図 3 (a)）

次に、ウェットエッティングにより、エミッタ配線 1 の概略加工を行う。（図 3 (b)） 20

続いて、 $\text{Cl}_2$  ガスおよび $\text{O}_2$  を用いたプラズマエッティングによって $\text{Cr}$  膜 1' およびレジスト 6 をエッティングして、エミッタ配線 1 をテーパー状に加工する（図 3 (b')）

そして、レジスト 6 を除去する。（図 3 (c)）

【0033】テーパー状エミッタ配線 1 上に、 $\text{SiO}_x$  を膜厚 0.6  $\mu\text{m}$ 、また $\text{Cr}$  を膜厚 0.2  $\mu\text{m}$ 、にそれぞれ蒸着すると、テーパー部でも水平部同様の良好な膜が形成される。（図 3 (d)）

【0034】最後に、ゲート配線 3 を周知のフォトエッティング法で加工して、完成である。 30

【0035】〔実施例の冷電子放出素子の製造方法〕本発明はマトリクス構造のエミッタ配線 1 に関するものであり、各種の冷電子放出素子 5 に適用できる。本実施例では、冷電子放出素子 5 としてディスクエッジ形（図 8）を使用した。その場合の製造プロセスを図 9 に示す。

【0036】まず、エミッタ配線 1 を形成した状態（図 9 (c)）で、 $\text{Si}$  および W をスパッタリング成膜し、フォトリソグラフィーによって円形パターンを形成し、ドライエッティングによってエミッタ 5 1 を形成する（図 9 (c')）。その後で、絶縁層 2 である $\text{SiO}_x$  とゲート 5 3 である $\text{Cr}$  を蒸着する（図 9 (d)）。そして、いわゆるリフトオフ法により、エミッタ 5 1 上の堆積物を除去する（図 9 (e)）。

【0037】

【発明の効果】本発明に係る冷電子放出素子マトリクスによれば、エミッタ配線の断面形状をテーパー状にすることにより、エミッタ配線からの電子放出を抑制し、誤 50

動作や短絡を防止できる。また、絶縁層やゲート配線にすき間や膜厚の薄い部分が形成されることはなく、ゲート配線の断線を予防できる。

【0038】また、特に、本発明に係る冷電子放出素子マトリクスの製造方法よれば、ドライエッティング法を用いることにより、断面が前記テーパー状をなすエミッタ配線を意図する設計に従って形成でき、加工精度の高い冷電子放出素子マトリクスを容易に製造することができる。

【0039】以上、本発明によると、前記の問題点を解消することが出来、エミッタ配線からの電子放出を抑えてフラットパネルディスプレイの誤動作や絶縁破壊を回避し、かつ、絶縁層に生じがちであったすき間の形成を抑え、ゲート配線の耐電流性が向上された冷電子放出素子マトリクス及びその製造方法を提供することができた。

#### 【図面の簡単な説明】

【図 1】本発明に係る冷電子放出素子マトリクスの一実施例について、要部を示す斜視図である。

【図 2】図 1 に示す冷電子放出素子マトリクスの製造方法の一実施例について、要部を示す工程図である。

【図 3】図 1 に示す冷電子放出素子マトリクスの製造方法の別の一実施例について、要部を示す工程図である。

【図 4】従来の技術に関する冷電子放出素子マトリクスについて、要部を示す斜視図である。

【図 5】図 4 に示す従来の技術に関する冷電子放出素子マトリクスを製造する製造方法について、要部を示す工程図である。

【図 6】エッティングレートとテーパー角との間の関係を概念的に示す説明図である。

【図 7】エッティングレートとテーパー角との間の概略の関係を示すグラフである。（但し、 $\text{Cl}_2$  と $\text{O}_2$  の混合ガスを用いたプラズマエッティングにおける、 $\text{Cr}$  とレジストとの各エッティングレート、レジストの見かけのサイドエッティングレート、そして $\text{Cr}$  のテーパー角について示す。）

【図 8】ディスクエッジ形冷電子放出素子を示す斜視図である。

【図 9】ディスクエッジ形冷電子放出素子マトリクスの製造方法を示す工程図である。

#### 【符号の説明】

1 … エミッタ配線

2 … 絶縁層

3 … ゲート配線

4 … 基板

5 … 冷電子放出素子

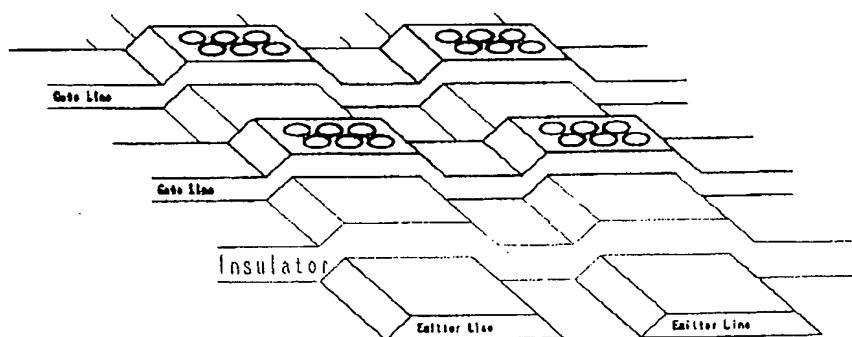
6 … エミッタライン形成用レジスト

7 … エミッタ形成用レジスト

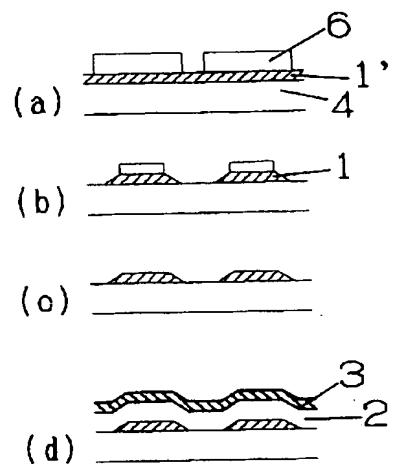
51 … エミッタ電極

53 … ゲート電極

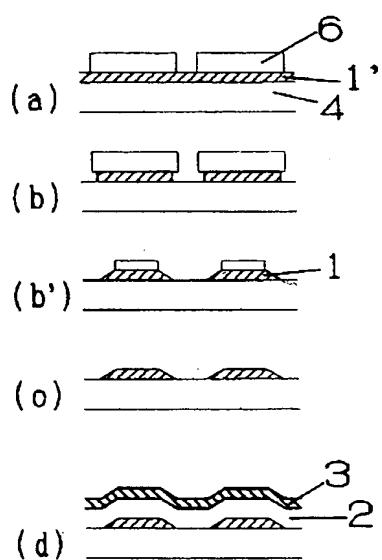
【図1】



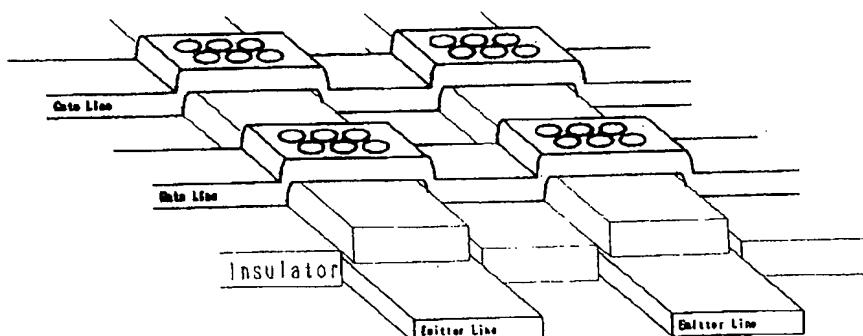
【図2】



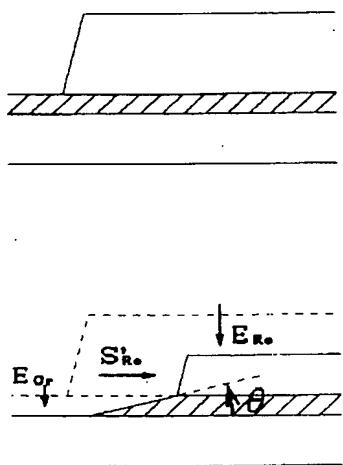
【図3】



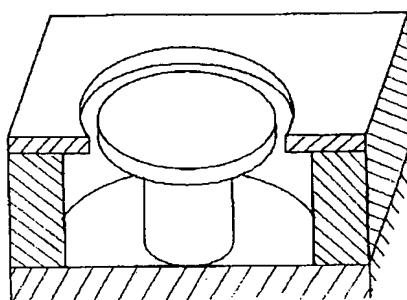
【図4】



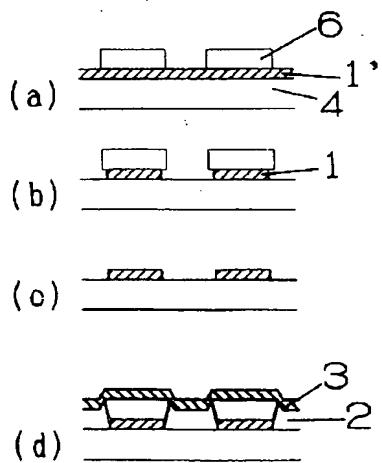
【図6】



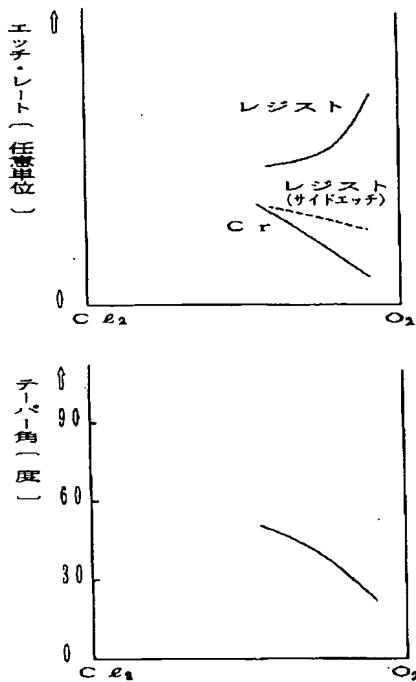
【図8】



【図5】



【図7】



【図9】

